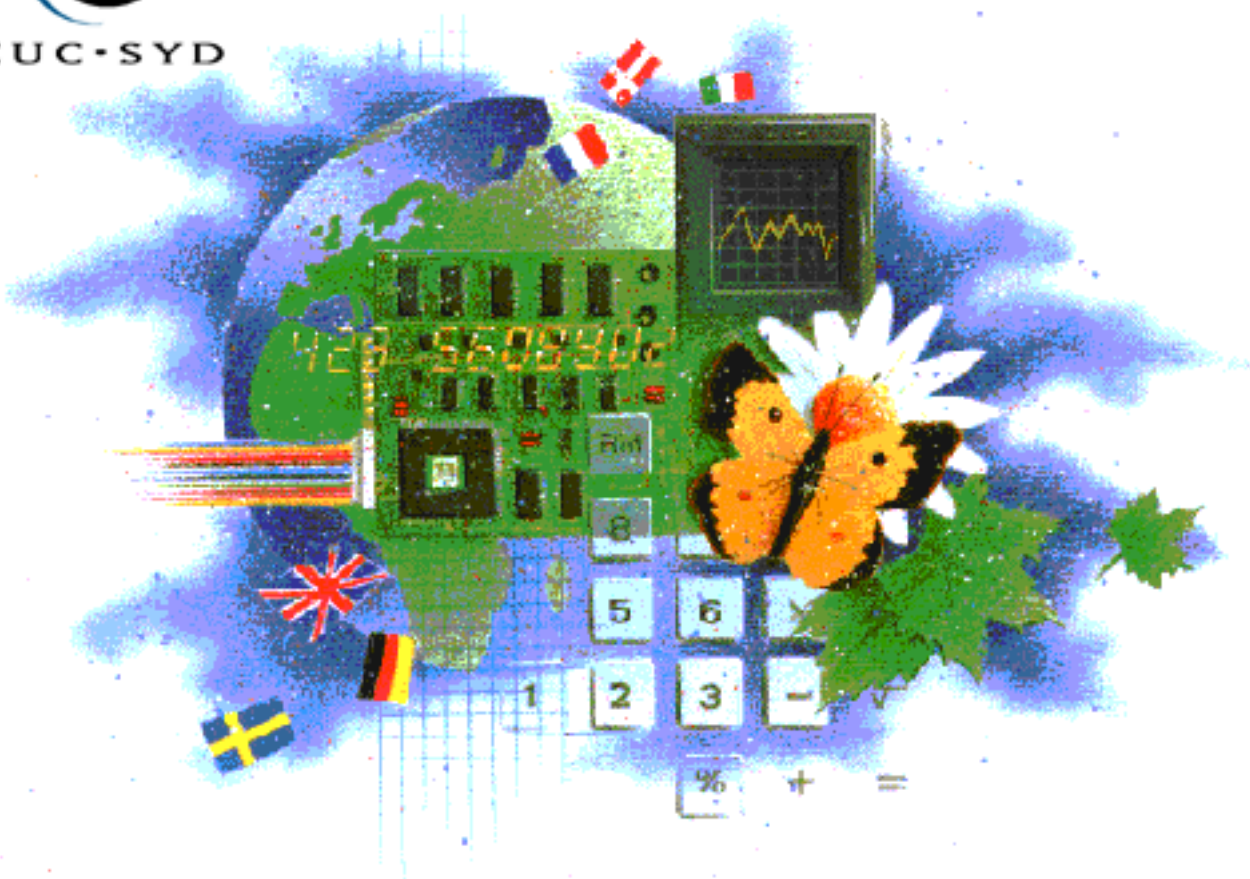


TG 8



ELEKTRONIK



EUC-Syd Sønderborg

6. Skoleperiode Elektronikmekaniker

Indhold: TG8 - Kredsløbsbeskrivelse

Gruppemedlemmer: Kim Andersen, Kasper Jensen & Thyge Mikkelsen

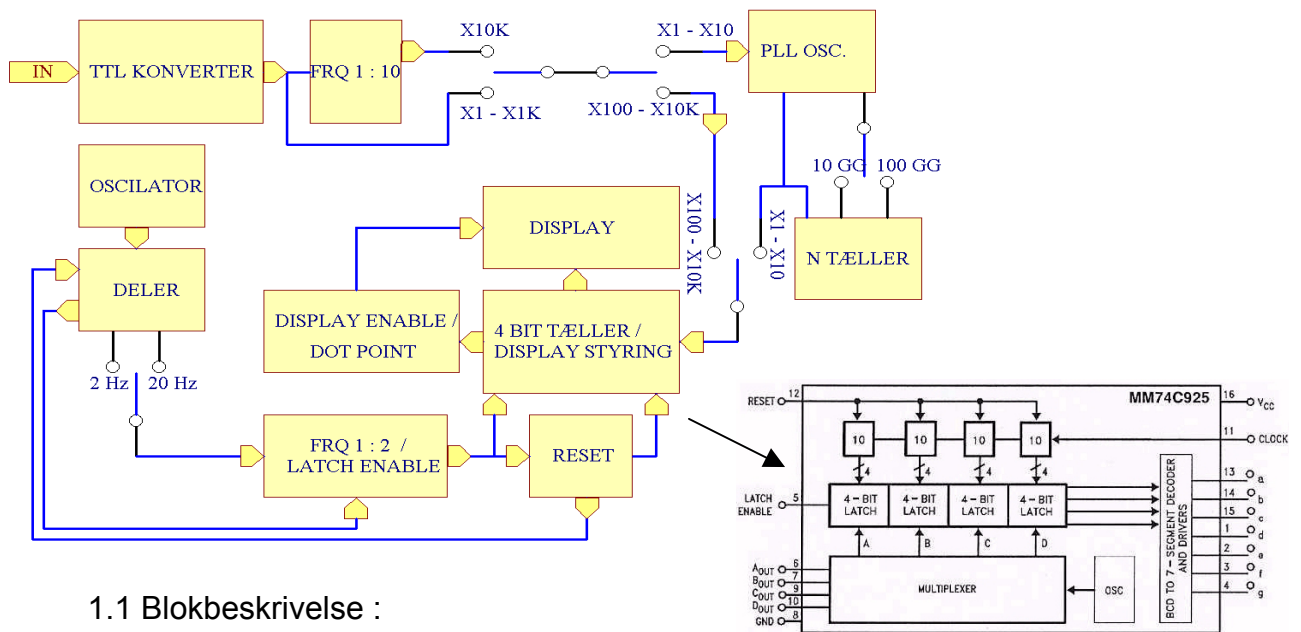
Dato: 30 – 04 - 2002

Modtaget af: Søren Knudsen

INDHOLDSFORTEGNELSE :

1.0 Blokdigram : 2
 1.1 Blokbeskrivelse : 2
 2.0 Kontakt Beskrivelse : 3
 3.0 TTL-Konverter & FRQ 1:10 3
 3.1 Beskrivelse af Indgangstrinnet : 3
 4.0 PLL Sløjfe : 4
 4.1 Beskrivelse af PLL : 4
 4.2 N -Tælleren : 4
 5.0 Gate Timer : 5
 5.1 Beskrivelse af Gate Timeren 5
 5.2 Reset af Gate Timeren 5
 6.0 Display og Display styring : 7
 6.1 Display Beskrivelse : 7
 6.2 Kommaerne : 7
 6.3 Diode OR Gates : 7

1.0 Blokdigram :



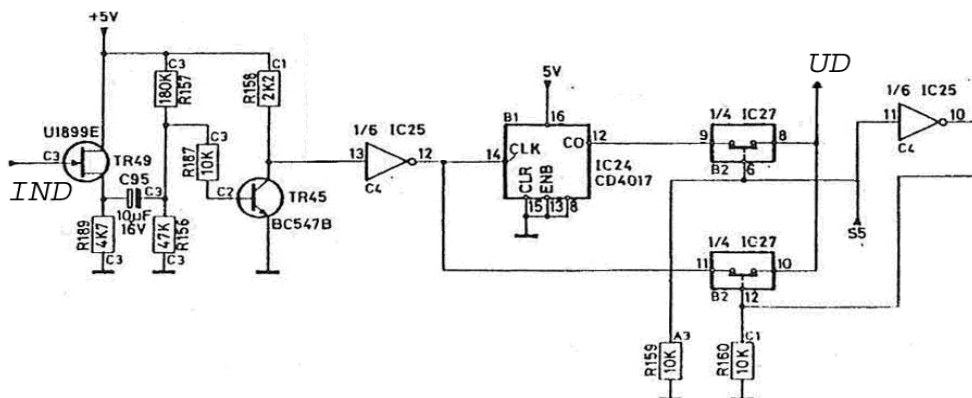
1.1 Blokbeskrivelse :

Tælleren er bygget på omkring MM74HC925 (IC28), som er en 7-segment driver med latche, så der styres 4 7-segment display. Input signalet bliver sendt ind i forskellige led, der enten øger eller deler frekvensen, ved høje frekvenser, bliver de delt i 10:1 deleren, og direkte ind i Displaystyringens interne tællere. Ved lave frekvenser ledes signalet udenom 10:1 deleren, og ind i en PLL sløjfen der ganger frekvensen op med 10 eller 100. Signalet kommer ind på Displaystyringskredsen, som clockpulser (CKL) til de interne tællere. På latch benet kommer der pulser med en frekvens på 1Hz eller 10Hz, afhængig af S1-S5. Den frekvens bliver brugt til at lukke op for clockpulserne, så det talte antal clockpulser svarer til frekvensen i Hz afhængig af kommaets placering, som også styres af S1-S5. Styringen af kontakterne sker ved signaler direkte fra frontens frekvens multipler trykknapper, som kommer på dette board som S1-S5.

2.0 Kontakt Beskrivelse :

	S1 1X	S2 10X	S3 100X	S4 1kX	S5 10kX
Indgangsdeler 1:10	FRA	FRA	FRA	FRA	TIL
PLL sløjfe	TIL	TIL	FRA	FRA	FRA
10 * FRQ	FRA	TIL	FRA	FRA	FRA
100 * FRQ	TIL	FRA	FRA	FRA	FRA
Kommaplacering	DP2	DP3	DP1	DP2	DP3
LED (kHz / Hz)	Hz	Hz	kHz	kHz	kHz
Gate timeren	1 Hz	1 Hz	1 Hz	10 Hz	10 Hz

3.0 TTL-Konverter & FRQ 1:10

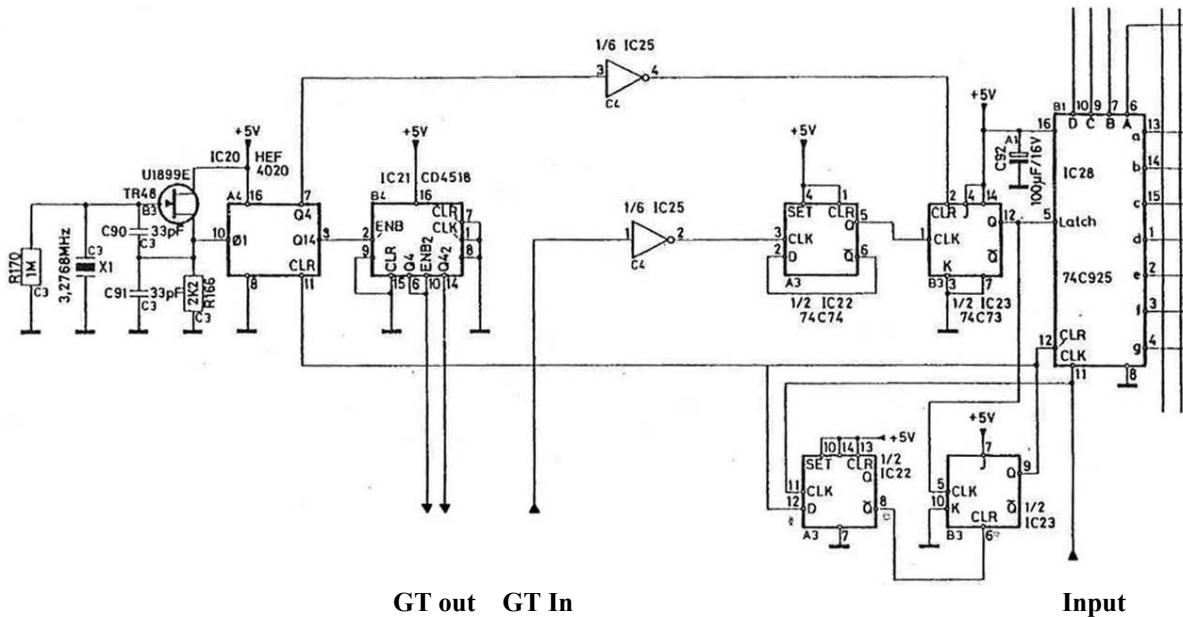


3.1 Beskrivelse af Indgangstrinnet :

Indgangstrinnet består af et fælles drain trin, hvilket giver en høj Z_{in} og væsentlig lav Z_{out} . Derefter en fælles emitter kobling, hvor udgangssignalet vil være 0 eller 5 volt. Signalet løber gennem en smith-triggered inverter, for at få nogle stejle og veldefinerede flanker.

S5, signalet for den højeste frekvens multiplikator, bestemmer om signalet skal deles i tælleren (IC24). Ved 0V på S5 vil den øverste analoge switch være off, og den nederste vil være on gennem inverteren, og derved vil signalet løbe uden om deleren. Men derimod ved 5V på S5 vil signalet blive taget på udgangen af IC24. Tælleren er en decade tæller, hvilket vil sige der går 10 clockpulser fra den starter til den er ved starten igen. Det vil gøre frekvensen 10 gange mindre. Frekvensen bliver delt ned for undgå overflow i den interne tæller i IC28. Grunden til der er valgt en anden type tæller her, er når udgangen er taget på Carry out fås der en dutycycle på 50 %.

5.0 Gate Timer :



5.1 Beskrivelse af Gate Timeren

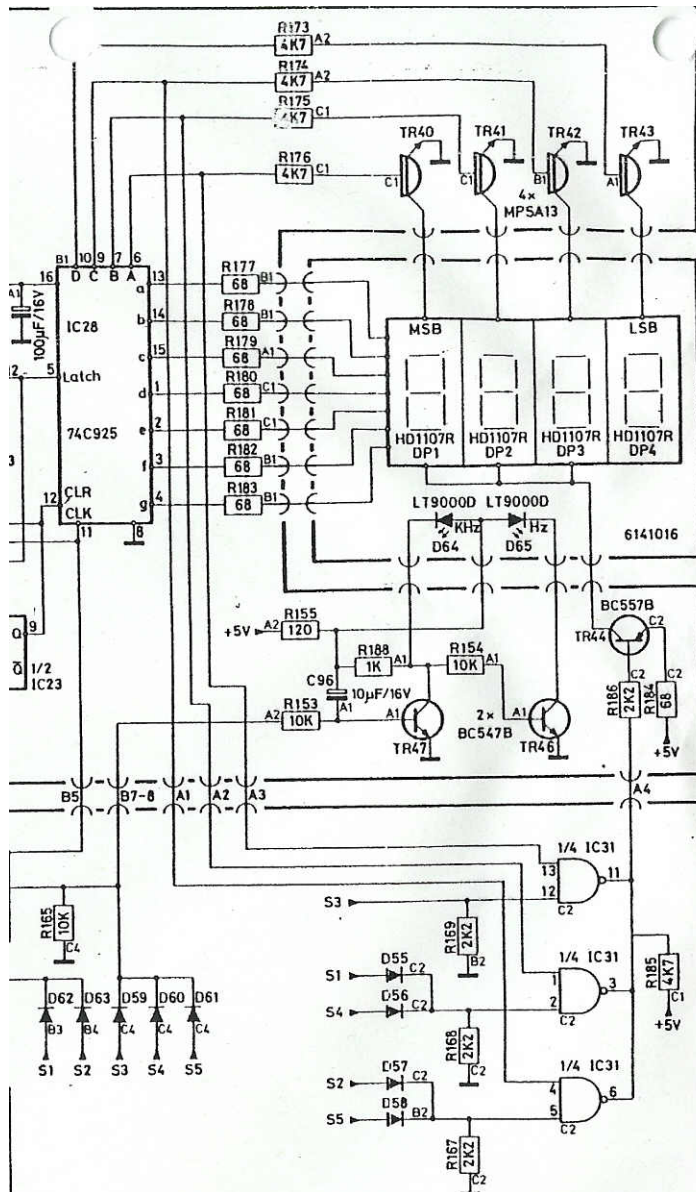
Gate tiden er bestemt af frekvensen på 3,2768MHz der bliver genereret i oscillatoren, der er en Colpitz clapp oscillator. I IC20 (14 stage ripplecounter) bliver frekvensen delt med 16384, så der på IC20s ben 3 er 200Hz. De 200Hz føres ind i IC21. IC21 er en dual BCD counter, der er koblet op således at frekvensen der kommer ind bliver delt med 10, og kommer ud på Q4. Det kan så enten tages ud på Q4 eller føres videre ind på ENB₂, der virker som CLK. Signalet kommer så ud på Q4₂ og er blevet det med yderligere 10. Hvor signalet bliver taget ud er bestemt af S1-S5. Efterfølgende bliver frekvensen yderligere delt med 2 i en D-FF, der kører som en toggle-FF, Der til sidst giver latchpulset via IC23 1/2. Det resulterer i en frekvens på enten 1Hz eller 10Hz, hvilket svarer til en gatetid på 1sek., eller 100mS. Konstruktionen er lavet således at gate timeren ikke begynder at tælle inden der kommer pulser ind fra indgangen.

5.2 Reset af Gate Timeren

Når gatetimeren står og venter på at gå i gang vil der på Q på IC23 2/2 være et logisk høj, som resetter IC20 og IC28, hvilket sætter gate tælleren ud af funktion. Når der kommer en puls fra input går det ind CLK på IC22 2/2. Da der er en "høj" på D indgangen giver det en "lav" på /Q, hvilket giver en CLR på IC23 2/2. Derved er CLR'en på IC20 og IC28 fjernet og gaten er åbnet og igang med at tælle op til næste CLR af IC20 og IC28. Fra der er modtaget en puls på indgangen går der 16 (4. bit på tælleren) af oscillatorpulser inden latchsignalet forsvinder, som følge af signalet fra Q4 på IC20. Det er dog så kort tid at der ikke kan nå at komme en nyt signal fra indgangen, der vil kunne ses i displayet, da latchen står åben. Når CLR'eren er væk tæller IC28 hvor mange pulser der kommer på CLK, indtil IC23 1/2 får en negativ flanke, der trigger den og laver latch-signalet. Når IC28 får latch-signalet lukker den

værdien der står i de fire tællere ind i latchesen, som IC28 så multiplexer ud på displayene. Latchsignalet resætter så IC20 og IC28, og starter processen forfra.

6.0 Display og Display styring :



strøm i

6.1 Display Beskrivelse :

Displayet styres af IC28. Når der en værdi i latches bliver det multiplexet ud på de 4 7-segment display. De 7 signaler kommer ud på ben 1-4 og 13-15. Derfra går det over til alle segmenterne. Det der vises bliver bestemt af udgang A, B, C og D, der ligger den fælles katode lav på et segment af gangen, ved hjælp af TR40-TR43. Det sker med en frekvens på ca. 1000Hz fra en intern oscillator i IC28.

6.2 Kommaerne :

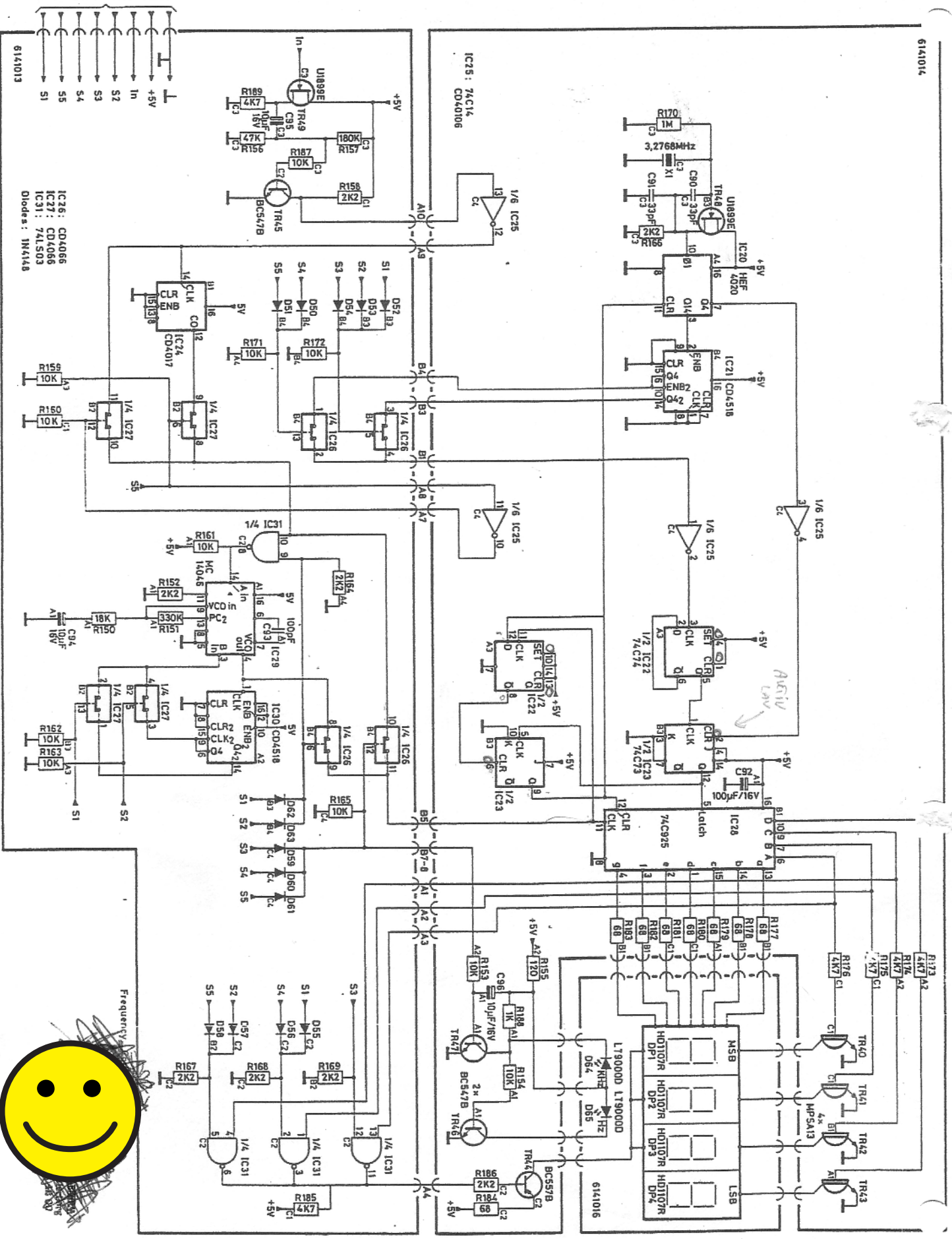
Kommaerne der vægter decimalerne i displayet, styres også af signalerne S1-S5. Det er lavet med tre NAND-gates der på den ene indgang får en "høj" fra en af S1-S5, på den måde bestemmes pladseringen af kommaet. På NAND-gatens andet ben kommer der signal fra segmentsselect, så kommaet går on på det rigtige segment. Udgangene af NAND-gatene er forbundet sammen for at lave en OR gate, det kan kun lade sig gøre ved at udgangene har open collector. Hz/KHz dioderne får signal fra S3-S5, er det S1 eller S2 det er høj, vil der være spænding over basis-emitter på TR46, og Hz dioden vil lyse. Hvis det er S3-S5 det er høj styres TR47 on, og der trækkes

KHz dioden. samtidig lægges basis på TR46 til stel, så de to dioder ikke kan være on på samme tid.

6.3 Diode OR Gates :

Alle dioderne undtaget lysdioderne, i kredsløbet er kontakt dioder, som danner OR-Gates. Er indgangen på den ene diode høj, vil udgangen være høj, på dem der er koblet sammen.

6141015
From Main Board Socket



- IC26: CD4086
- IC27: CD4086
- IC31: 74LS03
- Diodes: 1N4148